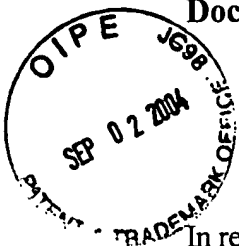


IFW

Docket No.: 4459-144

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Chu Wan HONG

U.S. Patent Application No. 10/813,062

Filed: March 31, 2004

For: PACKAGE STRUCTURE WITH A CAVITY

:
:
:
:
:
Group Art Unit: 2811
:
:
Examiner:

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


At the time the above application was filed, priority was claimed based on the following application(s):

Taiwanese Application No. 092109184, filed April 17, 2003.

A copy of the priority application is enclosed.

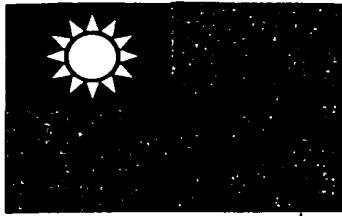
Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin F. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 300
Alexandria, Virginia 22314
(703) 684-1111
(703) 518-5499 Facsimile
Date: September 2, 2004
BJH/sd

BEST AVAILABLE COPY



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 04 月 17 日
Application Date

申請案號：092109184
Application No.

申請人：立朗科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 3 月 30 日
Issue Date

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文字號：09320295980
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有空腔之封裝構造
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 洪居萬
	姓 名 (英文)	1. Chu Wan HONG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄縣岡山鎮台上一路51巷34號
	住居所 (英 文)	1. No. 34, 51 Lane, Tai-Sun 1st Rd., Gang-Shan, Kaohsiung County
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 立朗科技股份有限公司
	名稱或 姓 名 (英文)	1. FTECH CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 741 台南科學工業園區南科九路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 16, Nan-Ke 9th Rd., Science-Based Industrial Park, Tainan 741, Taiwan, R. O. c.
	代表人 (中文)	1. 張錫強
	代表人 (英文)	1. Si Chung CHANG



00692 .ptd

四、中文發明摘要 (發明名稱：具有空腔之封裝構造)

一種具有空腔之封裝構造，其包含一晶片元件、一多層陶瓷基板以及一膠層，該晶片元件係具有一表面電路以及複數個第一接墊位於該表面電路外緣；該多層陶瓷基板係具有一凹洞以及複數個第二接墊位於該凹洞之外緣，分別相對應於該表面電路與該複數個第二接墊；該膠層係塗覆於除了該凹洞與該複數個第二接墊外之基板表面上，用以緊密接合該晶片元件與該多層陶瓷基板，使得該表面電路對應於該凹洞而形成一空腔。

五、(一)、本案代表圖為：第____5____圖

(二)、本案代表圖之元件代表符號簡單說明：

50	晶片元件	52	多層陶瓷基板
53	基板表面	54	表面電路
56	第一接墊	60	第二接墊

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：具有空腔之封裝構造)

62	膠層	64	鍍通線路
66	外部接墊	68	空腔
70	金層	72	內部保護層
74	外層保護層		

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

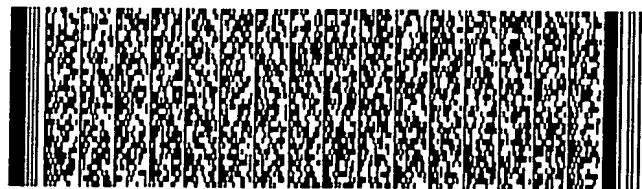
【發明所屬之技術領域】

本發明係有關於一種多層陶瓷(Multi-layer Ceramics; MLC)封裝構造，更特別有關於一種具有空腔之低溫共燒陶瓷(Low-Temperature Co-fired Ceramics; LTCC)封裝構造。

【先前技術】

體積縮小化是目前所有電子產品的趨勢。此應用的趨勢不僅在未來行動電話上可預見，在所有無線區域網路系統(WLAN)，如藍芽或以IEEE802.11為基礎的系統等，都可以預期。就以整個產品而言，在微波部分(RF&IF)裡的主要元件，除了主動的RF IC和RF模組外，還包含了大量的被動元件。而其中最獨特的即是表面聲波濾波器(SAW Filters)。基於主動元件在整合技術上的貢獻，所有元件的總數有下降的趨勢。但在另一方面表面聲波濾波器的顆數卻在增加中。隨著行動電話的多功能化，一般而言，每支雙頻GSM行動電話約需4~5顆RF表面聲波濾波器，至於多頻多模的CDMA行動電話，對RF表面聲波濾波器的需求更超過5顆以上。因此為滿足市場上的體積縮小化的要求，表面聲波元件亦必須做出相當的貢獻，否則整個產品縮小體積的梦想將無法達成。

表面聲波晶片(SAW Chip)上的電極，一般皆由鋁薄膜的對指型換能器(Interdigital Transducer; IDT)構成。依頻率的要求，線寬需隨頻率的增高而變細。一般而言為達到1.7~1.9 GHz的頻率，則線寬需在0.5 μm 左

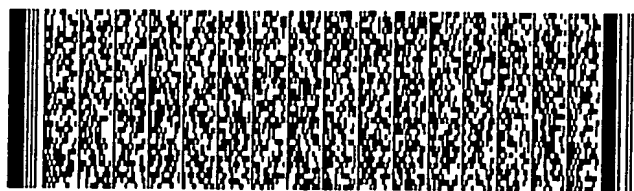


五、發明說明 (2)

右。此鋁薄膜的厚度，一般而言也不超過 $1\mu\text{m}$ 。這使得表面聲波晶片的功能，會因空氣中的水分、溼氣或塵粒的附著而產生功能的改變。也因此使氣密式的封裝，對表面聲波元件而言，是絕對必要的。目前市面上可取得能達到高可靠度之氣密式密封 (Hermetic Seal)，其結構如第1圖所示。

如第1圖所示，係為習知技術中表面聲波元件的氣密式封裝構造之剖面示意圖。該封裝構造10係包含了一空腔12，用以保護一表面聲波元件13，而該空腔12係由一底板14、側面壁16a、16b、16c以及一頂蓋18所形成。一般而言，該底板14以及該側面壁16a、16b、16c係使用陶瓷材料製成，而該頂蓋18除了可由陶瓷材料製成外，亦可由金屬製成。於該底板14之上表面係塗有一黏著劑20，用以接合該表面聲波元件13。該表面聲波元件13係包含了一壓電基板13a、對指型換能器13b以及連結接墊13c。該連結接墊13c係藉由導線22而連接至內部接墊24，且該內部接墊係與外部接墊26電性導通，使得該表面聲波元件13得以電性連接至一外部電路。然而，由於該封裝構造10之體積大且其製造成本高，因此，已不符合未來電子裝置之需求。

為了縮小該表面聲波元件封裝構造之體積，於是，頒給Gotoh等人之美國專利第6,417,026號係揭示了一種「以倒貼方式連接至一基板之表面聲波元件"Acoustic Wave Device Face-down Mounted on a substrate"」，其係有效的將一表面聲波元件之封裝構造之體積縮小至一半以



五、發明說明 (3)

上。

如第2a圖所示，係為Gotoh等人所揭示之表面聲波元件封裝構造安裝於一基板之剖面示意圖。該封裝構造30係具有一表面聲波元件32，該表面聲波元件32係包含一壓電基板32a、對指型換能器32b以及連結接墊32c。於該連結接墊32c上係形成有一絕緣層34，以圍繞於對指型換能器32b以及連結接墊32c之周圍，而一保護層36係接合於該絕緣層34上，以形成一氣密式空腔38，用以保護該表面聲波元件32之主要活動表面（main active surface）32d以及該對指型換能器32b。請配合參考第2b圖，該連結接墊32c係電性連接一凸塊電極40，該凸塊電極40係貫穿該絕緣層34以及該保護層36，以電性連接至一基板42之電路接線（circuit traces）44上。該表面聲波元件32當藉由該凸塊（bump）電極40連接至該基板42之電路接線44後，係被塗上一內層保護層46，用以鬆弛應力以及隔絕電氣，以及一外層保護層48，用以增加元件強度及防止水分入侵。

然而，Gotoh等人所揭示之封裝方式雖已大大的減少了整個表面聲波元件封裝構造之體積，但其所構成之氣密式空腔38之製程仍為複雜，如第2b圖所示。其製程係包含了多次曝光顯影、金屬鍍膜及化學蝕刻之工作程序，因而使得製作成本仍無法大幅度降低。

有鑑於此，本發明係提供一種具有空腔之封裝構造，用以縮小單一表面聲波元件封裝構造之體積及佔用的面積，並降低製造成本。



五、發明說明 (4)

【發明內容】

本發明之目的係提供一種具有空腔之封裝構造，用以縮小單一表面聲波元件封裝構造之體積及佔用的面積，並降低製造成本。

為達上述目的，本發明係提供一種具有空腔之封裝構造，其包含一晶片元件、一多層陶瓷基板以及一膠層，該晶片元件係具有一表面電路以及複數個第一接墊位於該表面電路外緣；該多層陶瓷基板係具有一凹洞以及複數個第二接墊位於該凹洞之外緣，分別相對應於該表面電路與該複數個第二接墊；該膠層係塗覆於除了該凹洞與該複數個第二接墊外之基板表面上，用以緊密接合該晶片元件與該多層陶瓷基板，使得該表面電路對應於該凹洞而形成一空腔。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文將配合所附圖示，作詳細說明如下。

【實施方式】

現請參考第3圖，其係為根據本發明之具有空腔之封裝構造分解示圖。圖中係顯示一晶片元件50以及一多層陶瓷基板52，其中該晶片元件50上係具有一表面電路54以及複數個第一接墊56；該複數個第一接墊56係位於該表面電路54之外緣，且係與該表面電路電性連接，並用以電性連接至外部電路（未顯示）；而該多層陶瓷基板52之表面53上係具有一凹洞58與該表面電路54相對，以及複數個第二接墊60係位於該凹洞58之外緣，而與該晶片元件50之複數



五、發明說明 (5)

個第一接墊56相對應。於該多層陶瓷基板52之表面53上，除了該凹洞58、該複數個第二接墊60以及該表面53之邊緣外，係塗有一膠層62，而該膠層62通常係為一黏膠樹脂，如第4圖所示，係為該多層陶瓷基板52塗覆該膠層62時之平面示圖。

於第3圖中，該多層陶瓷基板52係具有複數個鍍通線路64 (via conductor) 與該複數個第二接墊60各自電性連接，而該複數個鍍通線路64係貫穿該多層陶瓷基板52而與複數個外部接墊66連接，用以與其它外部電路 (未顯示) 連接。

該晶片元件50與該多層陶瓷基板52相對接合時，該複數個第一接墊56係對齊該複數個第二接墊60而加壓，使該晶片元件50與該多層陶瓷基板52藉由該膠層62而得以緊密接合，並使得該表面電路54對應於該凹洞58而形成一空腔68，如第5圖所示。

該複數個第二接墊60之表面上係通常具有一金層70，該金層70係用以使其與該複數個第一接墊56更容易電性接合，而當該晶片元件50與該多層陶瓷基板52加壓接合後，通常係藉由超音波連結方式將該複數個第一接墊56與該複數個第二接墊60做一具有足夠強度且可靠的電性連接。另外，於該晶片元件50與該多層陶瓷基板52上，係可塗覆一內部保護層72，用以鬆弛應力以及隔絕電氣，而該內部保護層72較佳之材料係為矽。該內部保護層72上，係可塗覆一外層保護層74，用以增加元件強度及防止水分入



五、發明說明 (6)

侵，而該外部保護層74較佳之材料係為環氧樹脂。

應了解到，本發明之多層陶瓷基板52之複數個第二接墊60所電性連接之複數個鍍通線路64係可藉由該多層陶瓷基板52內之內部層之線路76而與其它電路連接，例如：與該多層陶瓷基板52表面上之一元件78電性連接，如第6圖所示。

根據本發明之上述實施例中，其中該晶片元件係為一表面聲波元件，而該表面電路係為一對指型換能器。而應了解到，本發明之空腔之封裝構造係可應用在其它具有表面電路之晶體元件，如：石英元件、微機電 (MEMS) 元件、半導體元件以及光學元件上。而根據本發明之該多層陶瓷基板可使用之材料如：氮化鋁 (ALN)、低溫共燒陶瓷 (LTCC)、積層共燒陶瓷 (MLCC) 以及氧化鋁 (Al_2O_3) 以及高分子材料等，皆可應用於本發明之實施例中。

根據本發明，用以形成具有空腔封裝構造之方法步驟如下：(a) 提供一晶片元件，其具有一表面電路以及複數個第一接墊位於該表面電路之外緣，該表面電路係藉由該複數個第一接墊而與一外部電路電性連接，而該晶片元件係如表面聲波元件 (SAW Devices)，半導體元件以及光學元件等；(b) 提供一多層陶瓷基板，係具有一凹洞以及複數個第二接墊，該複數個第二接墊係位於該凹洞之外緣，且該凹洞與該複數個第二接墊係分別對應於該表面電路以及該複數個第一接墊；(c) 塗覆一膠層於除了該凹洞與該複數個第二接墊外之多層陶瓷基板表面上，用以與該



五、發明說明 (7)

晶片元件連接；(d) 藉由該膠層而將該晶片元件與該多層陶瓷基板緊密接合，使該表面電路對應於該凹洞而形成一空腔，接著藉由超音波連結方式而使該複數個第一接墊與該複數個第二接墊電性連接，其中該複數個第一接墊與該複數個第二接墊較佳係可藉由一金 (Au) 層作為其連接介面。於步驟(b)中，該多層陶瓷基板於燒結前，係至少於前一層初胚上打洞，以於燒結後在該多層陶瓷基板上形成該凹洞。較佳地，該多層陶瓷基板可使用之材料如：氮化鋁 (ALN)、低溫共燒陶瓷 (LTCC)、積層共燒陶瓷 (MLCC) 以及氧化鋁 (Al_2O_3) 以及高分子材料等。

上述之方法係另包含步驟：塗覆一內部保護層於該晶片元件與該多層陶瓷基板上，用以鬆弛應力以及隔絕電氣；以及塗覆一外層保護層，用以增加元件強度及防止水分入侵。其中該內層保護層之材料係為矽，而該外層保護層之材料係為環氧樹脂。

如第1及2a及b圖所示，習知表面聲波晶片的複雜結構，基本上不外乎對表面聲波晶片上鍍有IDT電極及連結電極的表面提供氣密式的空間，以保護該表面不受到環境水分及微塵的影響。而事實上，此IDT的鍍層厚度皆不超過 $1\mu m$ 。本發明應用多層陶瓷材料 (MLC)，尤其低溫共燒陶瓷 (TLCC) 作為封裝及線路基材的技術上。一般而言，目前多層陶瓷初胚 (Green Sheet) 在技術上可達到的最小厚度都在 $50\mu m$ 左右。此厚度在燒結後，以厚度方面收縮最多的LTCC技術而言，也仍有 $25\mu m$ 。再另一方面，



五、發明說明 (8)

製成的基板也得有至少 $300\ \mu\text{m}$ 的厚度，以達到一般的強度要求。若以有 $100\ \mu\text{m}$ 厚度的多層陶瓷初胚而言，則仍須有6層多層陶瓷初胚堆疊在一起，方能達到在燒結後 $300\ \mu\text{m}$ 的厚度。根據此一事實，只需在多層陶瓷的最上一層打上配合各種不同設計的表面聲IDT 圖案的空洞（如第7，8及9圖）。其它的鍍通線路（Via Conductor）或平面導線（Inner Conductor），則可依個別需要，利用此多層的結構實現之。如第8及9圖，本發明則提供最簡單的鍍通線路設計。此設計將適合把表面聲波晶片封裝成表面黏著技術（SMT）應用的單一晶片尺寸級封裝構造（CSP, Chip-Size Scale Package）。

根據本發明之一特徵，其中該多層陶瓷基板上之凹洞其形成方式，係在於該多層陶瓷基板於燒結前，係至少於第一頂層初胚80或數頂層初胚上打一洞口82，該洞口82之形狀可為正方形，長方形，橢圓形，或其他用以容納晶片元件之形狀，如第7圖所示。之後將具有打洞口82之頂層初胚與複數層未打洞之初胚重疊而進行燒結，以形成一多層陶瓷基板84，而該多層陶瓷基板84上係形成有一凹洞86，如第8圖所示。應了解到，該多層陶瓷基板84上係形成有複數個鍍通線路88，用以作為進行封裝時之電性連接路徑。如第9圖所示係為一整片多層陶瓷基板於燒結後，未切割前之示意圖。

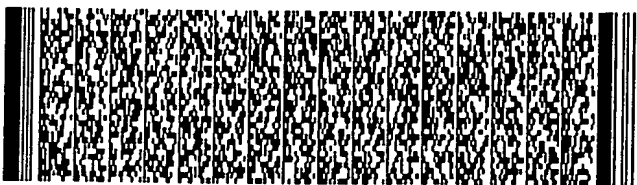
本發明是利用多層陶瓷技術（Multi-layer Ceramics; MLC），尤其是低溫共燒陶瓷技術



五、發明說明 (9)

(Low-Temperature Co-fired Ceramics; LTCC) 來達成表面聲波元件 (SAW Devices) 及其模組更縮小化的封裝。此封裝部材，亦同時為此晶片元件 (Chip Device) 的基材。利用本發明的新技術，不僅可達到晶片尺寸級封裝構造 (Chip-Size Package)，亦增加元件的應用範圍，並可減少生產成本。

雖然本發明已以前述實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1圖：係為習知技術中表面聲波元件的氣密式封裝構造之剖面示意圖。

第2a圖：係為習知技術中表面聲波元件的氣密式封裝構造安裝於一基板之剖面示意圖。

第2b圖：係為習知技術中表面聲波元件的氣密式封裝構造之剖面示意圖。

第3圖：係為根據本發明之具有空腔之封裝構造分解示圖。

第4圖：係為一多層陶瓷基板圖上膠層時之剖面示圖。

第5圖：係為根據本發明一實施例之具有空腔之封裝構造剖面示圖。

第6圖：係為根據本發明另一實施例之具有空腔之封裝構造剖面示圖。

第7圖：於一多層陶瓷基板之一初胚上打洞之示意圖。

第8圖：第7圖之多層陶瓷基板之剖面示意圖。



圖式簡單說明

第9圖：係為一整片多層陶瓷基板於燒結後，未切割前之示意圖。

圖號說明：

10	封裝構造	12	空腔
13	表面聲波元件	14	底板
16a、16b、16c	側面壁		
18	頂蓋	20	黏著劑
22	導線	24	內部接墊
26	外部接墊	30	封裝構造
32	表面聲波元件	32a	壓電基板
32b	對指型換能器	32c	連結接墊
34	絕緣層	36	保護層
40	凸塊電極	42	基板
44	電路接線	46	內層保護層
48	外層保護層	50	晶片元件
52	多層陶瓷基板	53	基板表面
54	表面電路	56	第一接墊
58	凹洞	60	第二接墊
62	膠層	64	鍍通線路
66	外部接墊	68	空腔
70	金層	72	內部保護層
74	外層保護層	76	線路
78	元件	80	初胚



圖式簡單說明

82 洞 口

86 凹 洞

84 多 層 陶 瓷 基 板

88 鍍 通 線 路



六、申請專利範圍

1、一種具有空腔之封裝構造，其包含：

一晶片元件，具有一表面電路以及複數個第一接墊，該複數個第一接墊係位於該表面電路之外緣，其與該表面電路電性連接，並用以電性連接至外部電路；

一多層陶瓷基板，其表面上具有一凹洞以及複數個第二接墊，該凹洞之位置係與該晶片元件之表面電路相對應，且該複數個第二接墊係位於該凹洞之外緣，而與該晶片元件之第一接墊相對應；以及

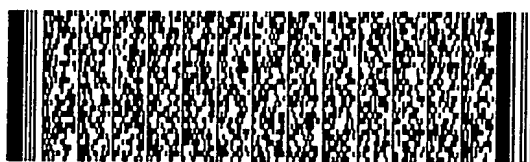
一膠層，大體上塗覆於除了該凹洞與該複數個第二接墊外之基板表面上，用以緊密接合該晶片元件與該多層陶瓷基板，使得該表面電路對應於該凹洞而形成一空腔，且該複數個第一接墊係與該複數個第二接墊電性連接；

其中，該複數個第二接墊係各自連接至該多層陶瓷基板的鍍通線路（via conductor），用以與外部電路連接。

2、依申請專利範圍第1項之封裝構造，其中該晶片元件係為一表面聲波元件（SAW），而該表面電路係為一對指型換能器（Interdigital Transducer; IDT）。

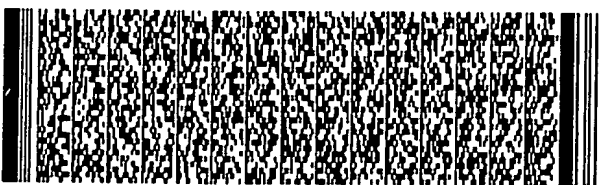
3、依申請專利範圍第1項之封裝構造，其中該晶片元件係為一半導體元件。

4、依申請專利範圍第1項之封裝構造，其中該晶片元件係為一光學元件。

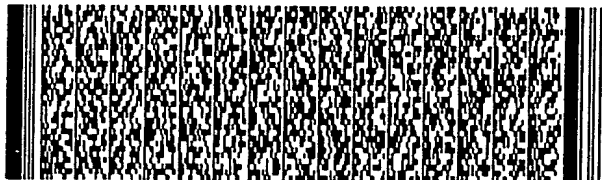


六、申請專利範圍

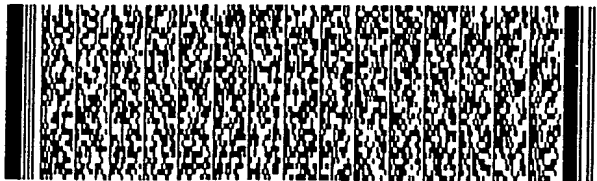
- 5、依申請專利範圍第1項之封裝構造，其中該晶片元件係為一石英元件。
- 6、依申請專利範圍第1項之封裝構造，其中該晶片元件係為一微機電（MEMS）元件。
- 7、依申請專利範圍第1項之封裝構造，其中該陶瓷基板之材料係由氮化鋁（ALN）、低溫共燒陶瓷（LTCC）、積層共燒陶瓷（MLCC）以及氧化鋁（ AL_2O_3 ）以及高分子材料所構成之群組中選出。
- 8、依申請專利範圍第1項之封裝構造，其中該複數個第一接墊與該複數個第二接墊係藉由一金層而電性連接。
- 9、依申請專利範圍第1項之封裝構造，另包含一內層保護層包覆於該晶片元件與該多層陶瓷基板上，用以鬆弛應力以及隔絕電氣。
- 10、依申請專利範圍第9項之封裝構造，該內層保護層外係包覆有一外層保護層，用以增加元件強度及防止水分入侵。



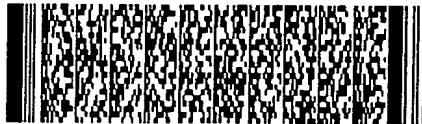
第 1/18 頁



第 2/18 頁



第 3/18 頁



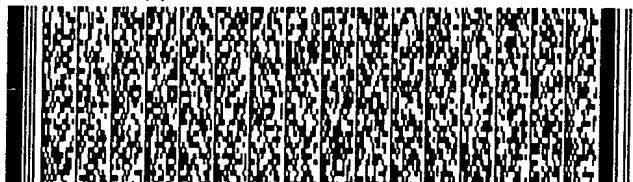
第 4/18 頁



第 5/18 頁



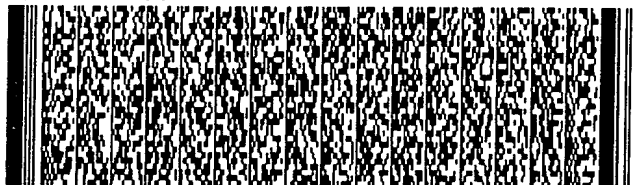
第 5/18 頁



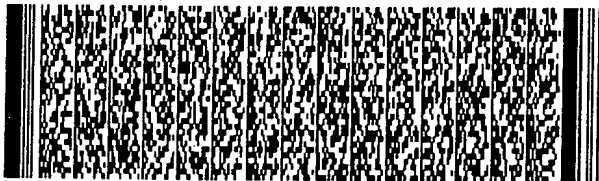
第 6/18 頁



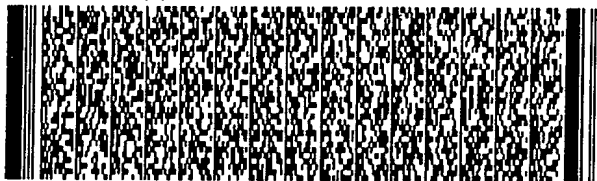
第 6/18 頁



第 7/18 頁



第 7/18 頁



第 8/18 頁



第 8/18 頁



第 9/18 頁



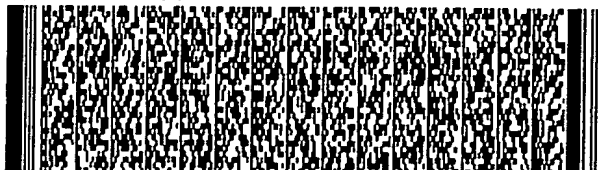
第 9/18 頁



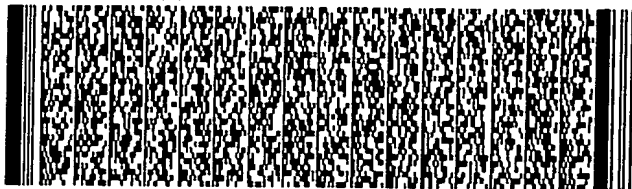
第 10/18 頁



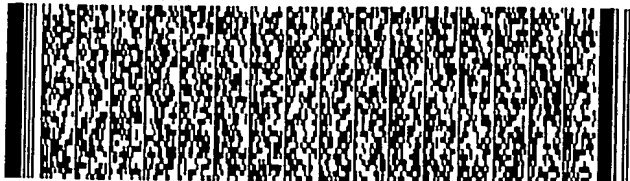
第 10/18 頁



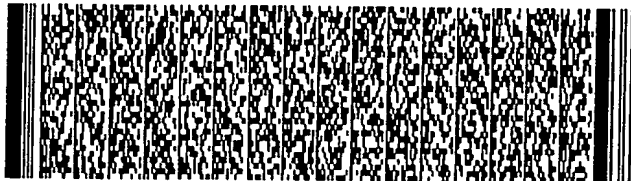
第 11/18 頁



第 11/18 頁



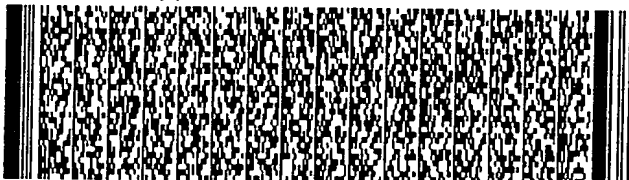
第 12/18 頁



第 12/18 頁



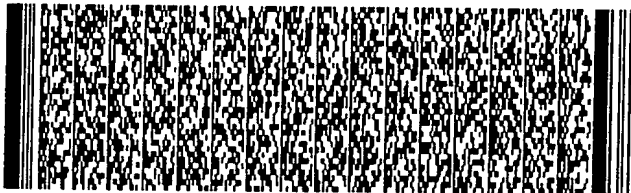
第 13/18 頁



第 14/18 頁



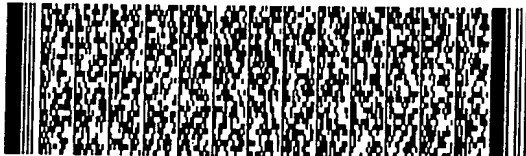
第 15/18 頁



第 16/18 頁



第 17/18 頁

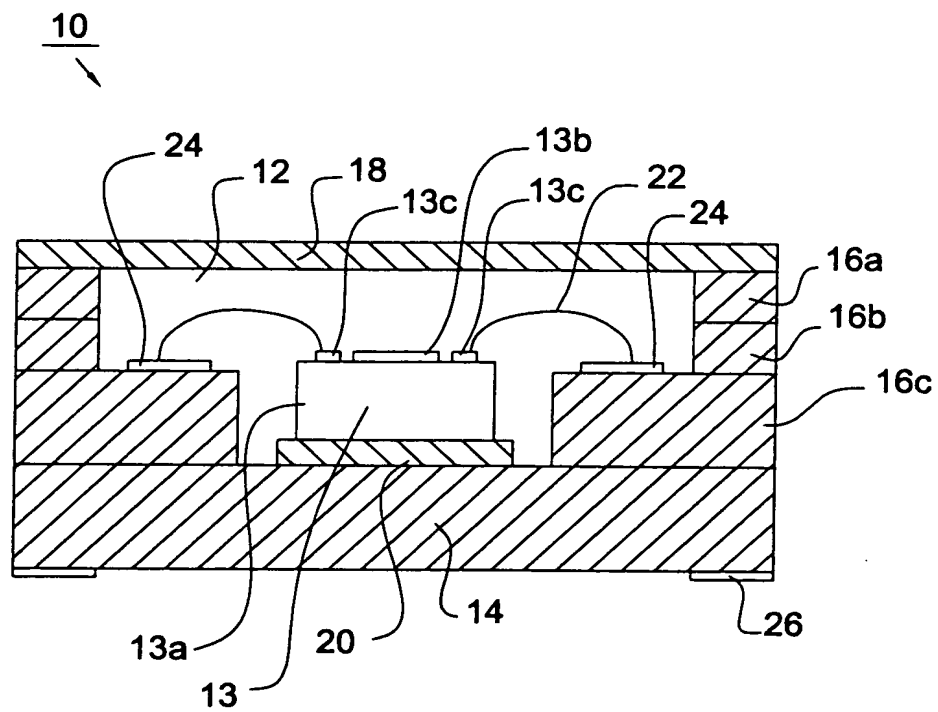


第 17/18 頁

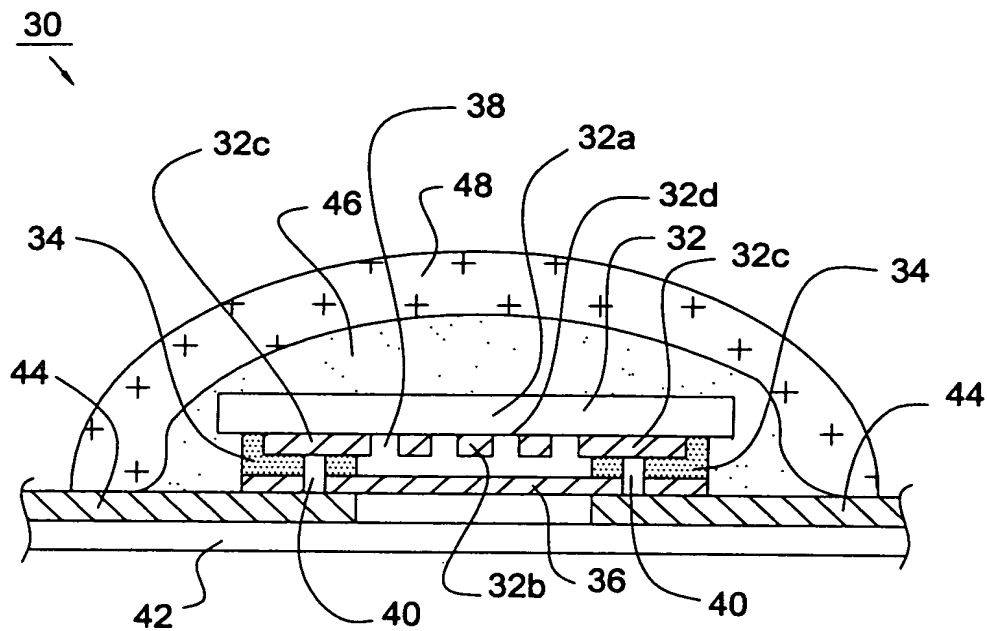


第 18/18 頁

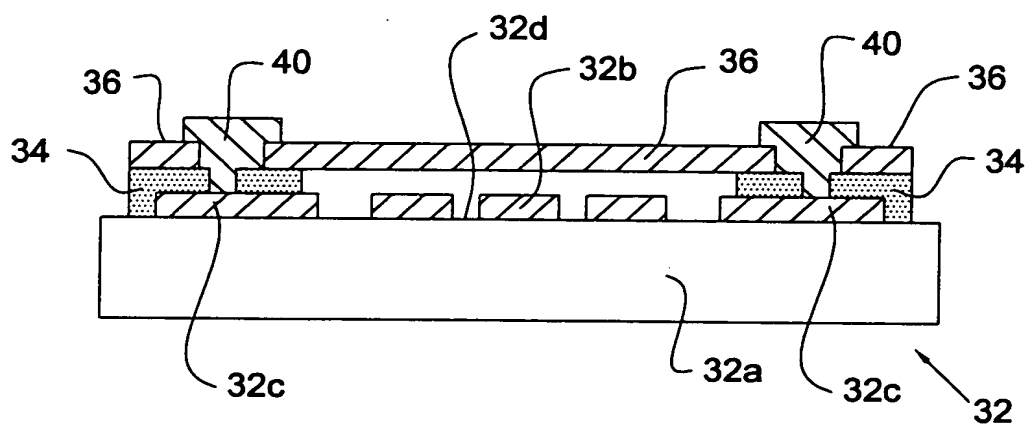




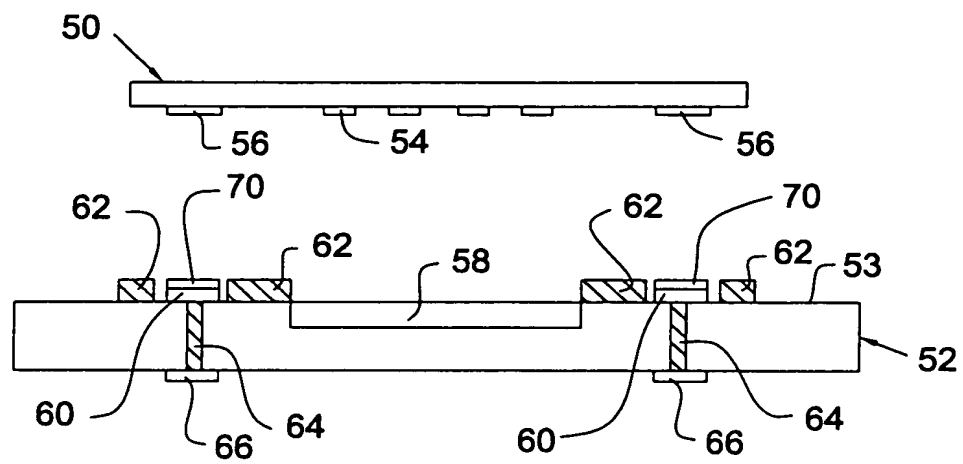
第 1 圖 (先前技術)



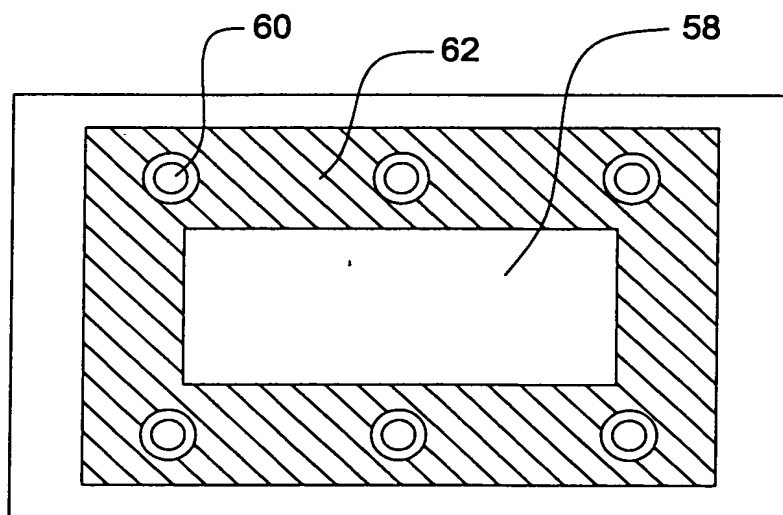
第 2a 圖 (先前技術)



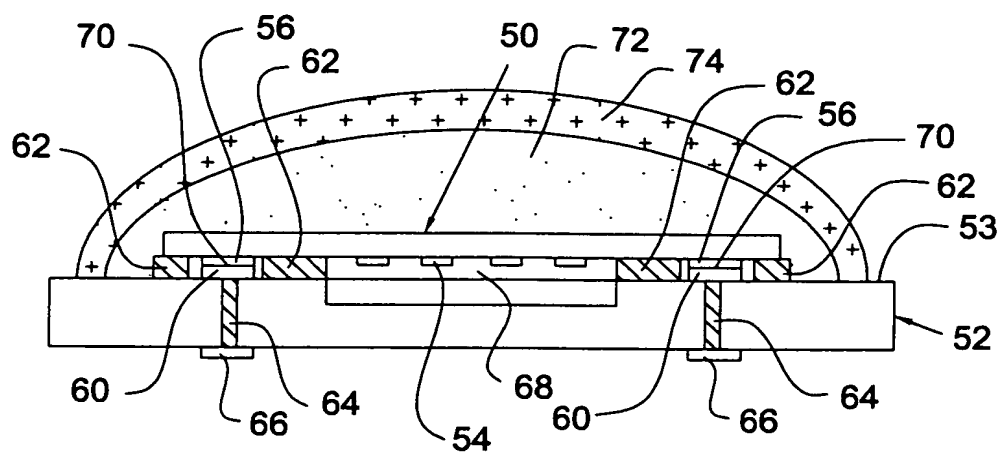
第 2b 圖 (先前技術)



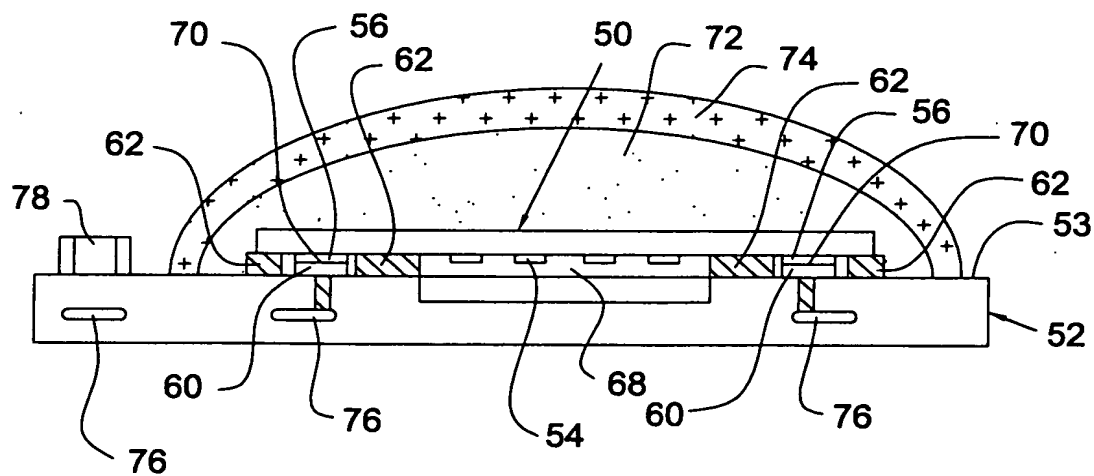
第 3 圖



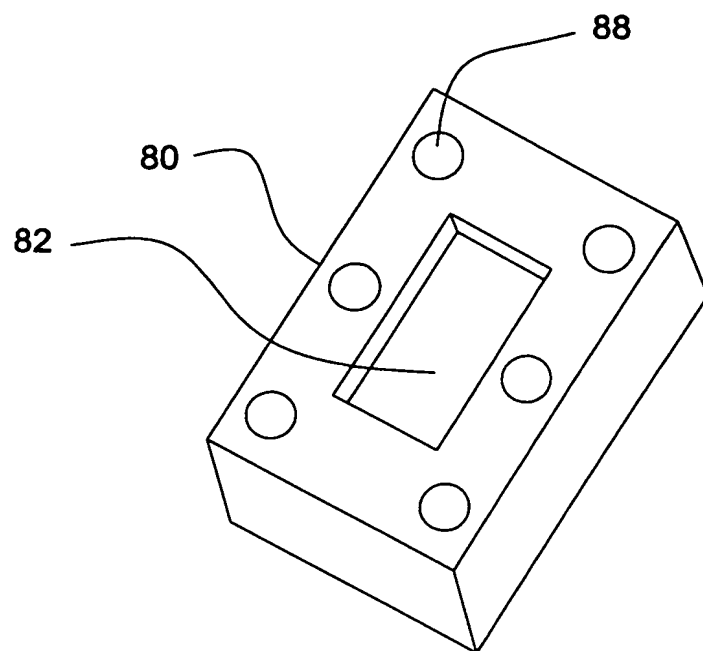
第 4 圖



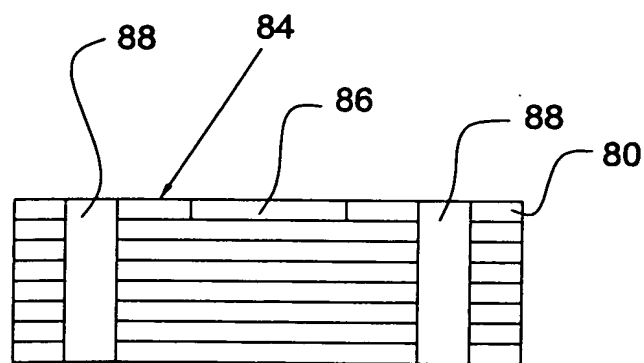
第 5 圖



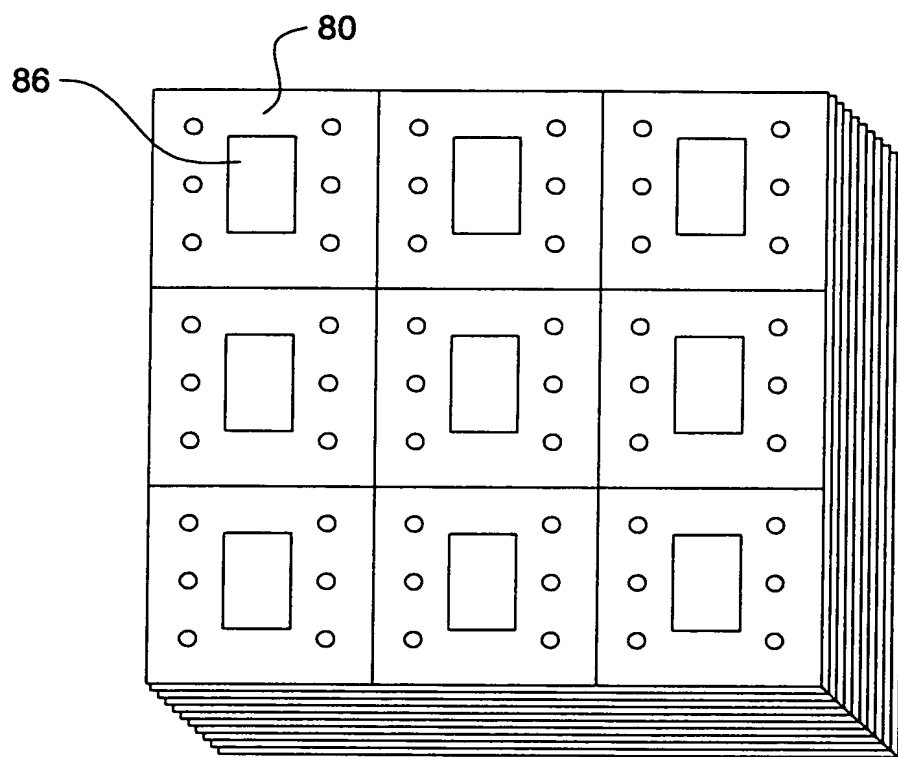
第 6 圖



第 7 圖



第 8 圖



第 9 圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.